

KOMISIJI ZA STUDIJE II STEPENA ELEKTROTEHNIČKOG FAKULTETA U BEOGRADU

Komisija za studije II stepena Elektrotehničkog fakulteta u Beogradu, na svojoj sednici održanoj 26.05.2015. godine, imenovalo nas je u Komisiju za pregled i ocenu master rada kandidata Budimira Miletića, dipl. inž. Elektrotehnike i računarstva, pod naslovom „Hardverska implementacija modula za sortiranje paketa“. Nakon pregleda materijala komisija podnosi sledeći

IZVEŠTAJ

1. Biografski podaci o kandidatu

Budimir Ž. Miletić je rođen 08.07.1989. godine u Beogradu. Završio je srednju elektrotehničku školu „Nikola Tesla“ u Beogradu sa odličnim uspehom. Elektrotehnički fakultet, Univerziteta u Beogradu, upisao je 2008. godine. U septembru 2013. godine je diplomirao na Odseku za telekomunikacije i informacione tehnologije, smer Radio komunikacije, sa prosečnom ocenom 7.09, a diplomski rad na temu „Eksperimentalna analiza pozicioniranja metodom cirkularne lateracije u WAN-u“ odbranio je sa ocenom 10. Master studije je upisao u oktobru 2013. godine na Elektrotehničkom fakultetu, Univerziteta u Beogradu, modul Sistemsko inženjerstvo i radio komunikacije. Na master studijama je položio sve ispite sa prosečnom ocenom 8.40.

2. Opis master rada

Master rad obuhvata 52 strane, sa ukupno 7 slika, 12 tabela i 6 referenci. Unutar rada se nalaze i programski kodovi realizovane implementacije. Rad sadrži uvod, 4 poglavlja, zaključak (ukupno šest poglavlja) i literaturu. Predmet rada je hardverska implementacija modula za sortiranje paketa. Banyan komutatori su praktična i ekonomična rešenja za realizaciju, naročito u slučajevima manjih dimenzija svičeva. Međutim, veliki problem Banyan komutatora je interna blokada. Primećeno je da kod nekih Banyan komutatora, sortiranje paketa po njihovim odredištima doprinosi izbegavanju pojave blokade čime se značajno povećava propusnost Banyan komutatora. Iz tog razloga se ispred Banyan komutatora dodaju strukture za sortiranje paketa prema njihovim odredištima. U ovom radu su implementirana dva tipa sortera, par-nepar i bitonički tip sortera. Implementacija je realizovana programskim kodom u VHDL jeziku. Dizajn je kompajliran u ISE razvojnom okruženju za razvoj dizajna za FPGA čipove proizvođača Xilinx. Za simuliranje ponašanja i verifikaciju dizajna upotrebljen je ISim simulator. Kompletan programski kod implementacije, kao i kod korišćen pri verifikaciji, priložen je na CD-u zbog obima koda.

U uvodnom poglavlju opisan je značaj paketske komutacije i paketskih mreža, kao i značaj paketskih komutatora. Izložen je cilj teze, kao i struktura ostatka teze po poglavljima.

U drugom poglavlju objašnjen je pojam komutacije paketa i predstavljena je klasifikacija paketskih komutatora. Potom su opisani Banyan komutatori i njihove osobine.

U trećem poglavlju su opisane strukture za sortiranje. Opisane su par-nepar strukture, kao i bitoničke strukture za sortiranje i njihov princip rada i princip kreiranja navedenih struktura.

U četvrtom poglavlju je dat detaljan opis realizovane implementacije. Detaljno je opisan rad realizovane implementacije, kao i ulazni i izlazni signali realizovanog dizajna. Pošto se oba tipa struktura za sortiranje realizuju principom rekurzije objašnjeno je kreiranje sortera većih dimenzija od sortera manjih dimenzija. Prilikom objašnjenja su prikazani najbitniji delovi koda.

U petom poglavlju je opisan proces verifikacije realizovanog dizajna. Dat je tabelarni pregled performansi za oba tipa sortera i za različite dimenzije sortera i izvršena je analiza dobijenih rezultata.

Na kraju teze je izložen zaključak koji sumira rezultate rada. Na kraju rada data je literatura, sa 6 referenci, koja je korišćena prilikom izrade master rada.

3. Analiza rada sa ključnim rezultatima

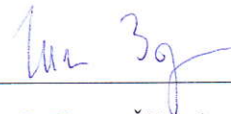
Master rad Budimira Miletića, dipl. inž. Elektrotehnike i računarstva, bavi se hardverskom implementacijom sortera paketa koji bi se koristili ispred Banyan komutatora. Osnovni doprinosi rada su: 1) hardverska implementacija par-nepar tipa sortera; 2) hardverska implementacija bitoničkog tipa sortera; 3) implementacija je portabilna i bez izmena u kodu se može iskoristiti i na FPGA čipovima drugih proizvođača.

4. Zaključak i predlog

Kandidat Budimir Miletić, dipl. inž. elektrotehnike, je u svom master radu uspešno realizovao hardversku implementaciju sortiranja paketa prema njihovim odredištima. Budimir je pokazao da dobro vlada HDL programiranjem, i pokazao je sposobnost da efikasno i brzo reši zadati problem. Realizovana implementacija može da se iskoristi ispred Banyan komutatora u slučaju paketskih svičeva zasnovanih na Banyan strukturama u cilju podizanja efikasnosti i propusnosti Banyan komutatora. Na osnovu izloženog, Komisija predlaže predlaže Komisiji za studije II stepena Elektrotehničkog fakulteta u Beogradu da rad kandidata Budimira Miletića, dipl. inž. elektrotehnike, prihvati kao master rad i kandidatu odobri javnu usmenu odbranu.

Beograd, 28.09.2014. godine

Komisija:



Dr Zoran Čiča, docent



Dr Dejan Drajić, docent